Національний технічний університет України

«Київський політехнічний інститут»

Факультет інформатики і обчислювальної техніки

Кафедра обчислювальної техніки

**Лабораторна робота № 8**

**з курсу: «Теорія проектування комп’ютерних систем»**

*Виконав:*

студент 4 курсу

групи ІО-12, ФІОТ

Бута С. О.

Київ, 2014 р.

**ЗАДАНИЕ:**

1. 1. Создать новое рабочее пространство (workspace) в Active-HDL.

2. Создать VHDL - проект.

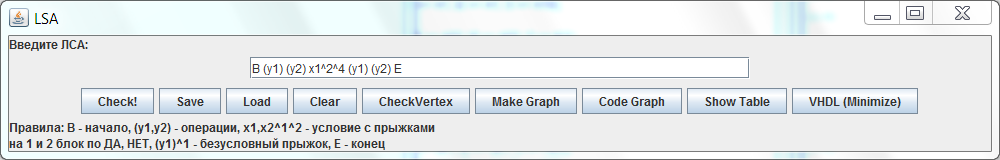
3. Загрузить VHDL-спецификацию из прошлой работы.

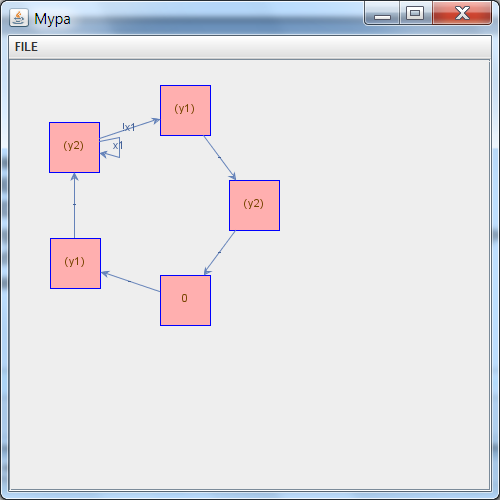
4. Проверить корректность функций переходов и возбуждения триггеров в редакторе Waveform Editor.

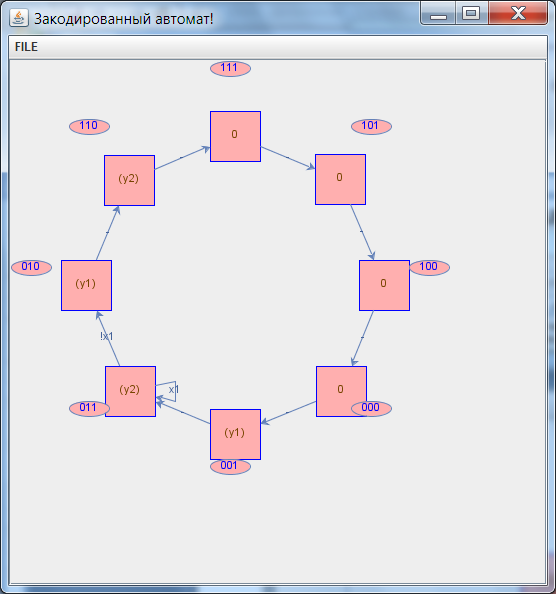
5. Результаты занести в протокол

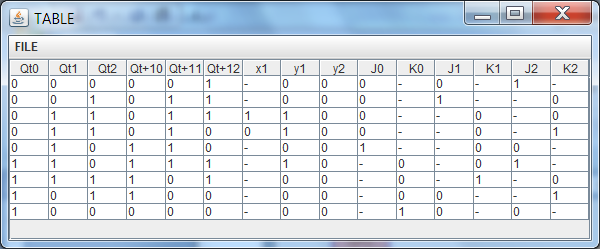
**Зачётка: 1205**

**ВАРИАНТ: 1205 = 10000010000010**









Функции переключения и выходных сигналов:

y1 = !(!Qt0 !Qt1 !Qt2 v !Qt0 !Qt1 Qt2 v !Qt0 Qt1 !Qt2 v Qt0 Qt1 Qt2 v Qt0 !Qt1 Qt2 v Qt0 !Qt1 !Qt2 )

y2 = !(!Qt0 !Qt1 !Qt2 v !Qt0 !Qt1 Qt2 v !Qt0 Qt1 Qt2 x1 v !Qt0 Qt1 Qt2 !x1 v !Qt0 Qt1 !Qt2 v Qt0 Qt1 !Qt2 v Qt0 Qt1 Qt2 v Qt0 !Qt1 Qt2 v Qt0 !Qt1 !Qt2 )

J0 = !(!Qt0 !Qt1 !Qt2 v !Qt0 !Qt1 Qt2 v !Qt0 Qt1 Qt2 x1 v !Qt0 Qt1 Qt2 !x1 v Qt0 Qt1 !Qt2 v Qt0 Qt1 Qt2 v Qt0 !Qt1 Qt2 v Qt0 !Qt1 !Qt2 )

K0 = !(!Qt0 !Qt1 !Qt2 v !Qt0 !Qt1 Qt2 v !Qt0 Qt1 Qt2 x1 v !Qt0 Qt1 Qt2 !x1 v !Qt0 Qt1 !Qt2 v Qt0 Qt1 !Qt2 v Qt0 Qt1 Qt2 v Qt0 !Qt1 Qt2 )

J1 = !(!Qt0 !Qt1 !Qt2 v !Qt0 Qt1 Qt2 x1 v !Qt0 Qt1 Qt2 !x1 v !Qt0 Qt1 !Qt2 v Qt0 Qt1 !Qt2 v Qt0 Qt1 Qt2 v Qt0 !Qt1 Qt2 v Qt0 !Qt1 !Qt2 )

K1 = !(!Qt0 !Qt1 !Qt2 v !Qt0 !Qt1 Qt2 v !Qt0 Qt1 Qt2 x1 v !Qt0 Qt1 Qt2 !x1 v !Qt0 Qt1 !Qt2 v Qt0 Qt1 !Qt2 v Qt0 !Qt1 Qt2 v Qt0 !Qt1 !Qt2 )

J2 = !(!Qt0 !Qt1 Qt2 v !Qt0 Qt1 Qt2 x1 v !Qt0 Qt1 Qt2 !x1 v !Qt0 Qt1 !Qt2 v Qt0 Qt1 Qt2 v Qt0 !Qt1 Qt2 v Qt0 !Qt1 !Qt2 )

K2 = !(!Qt0 !Qt1 !Qt2 v !Qt0 !Qt1 Qt2 v !Qt0 Qt1 Qt2 x1 v !Qt0 Qt1 !Qt2 v Qt0 Qt1 !Qt2 v Qt0 Qt1 Qt2 v Qt0 !Qt1 !Qt2 )

(тоже что и выше, но в битах):

y1 = !(000-v001-v010-v111-v101-v100-)

y2 = !(000-v001-v0111v0110v010-v110-v111-v101-v100-)

J0 = !(000-v001-v0111v0110v110-v111-v101-v100-)

K0 = !(000-v001-v0111v0110v010-v110-v111-v101-)

J1 = !(000-v0111v0110v010-v110-v111-v101-v100-)

K1 = !(000-v001-v0111v0110v010-v110-v101-v100-)

J2 = !(001-v0111v0110v010-v111-v101-v100-)

K2 = !(000-v001-v0111v010-v110-v111-v100-)

Минимизированные функции:

y1 = !(!Qt0 !Qt2 v Qt0 Qt2 v !Qt1 )

y2 = !()

J0 = !(!Qt1 v Qt2 v Qt0 )

K0 = !(!Qt0 !Qt2 v Qt0 Qt2 v !Qt0 v Qt2 v Qt1 )

J1 = !(!Qt2 v Qt1 v Qt0 )

K1 = !(!Qt0 v !Qt1 v !Qt2 )

J2 = !(!Qt0 Qt1 v Qt0 Qt2 v Qt0 !Qt1 v Qt2 )

K2 = !(!Qt0 Qt1 Qt2 x1 v !Qt0 !Qt1 v Qt0 Qt1 v !Qt2 )

(тоже что и выше, но в битах):

y1 = !(0-0-v1-1-v-0--)

y2 = !(----)

J0 = !(-0--v--1-v1---)

K0 = !(0-0-v1-1-v0---v--1-v-1--)

J1 = !(--0-v-1--v1---)

K1 = !(0---v-0--v--0-)

J2 = !(01--v1-1-v10--v--1-)

K2 = !(0111v00--v11--v--0-)

Эффективность минимизации:

1. Эффективность минимизации по количеству входов:

y1 : 4.8

y2 : Infinity

J0 : 10.666666666666666

K0 : 4.571428571428571

J1 : 10.666666666666666

K1 : 10.666666666666666

J2 : 4.0

K2 : 3.111111111111111

2. Эффективность минимизации по количеству блоков:

y1 : 2.2

y2 : 17.0

J0 : 3.0

K0 : 1.6666666666666667

J1 : 3.0

K1 : 3.0

J2 : 1.8571428571428572

K2 : 1.8571428571428572

ФОРМУЛЫ В БАЗИСЕ И, ИЛИ-НЕ

y1 = !(!( ( !( Qt0 v Qt0 ) !( Qt2 v Qt2 ) !( Qt2 v Qt2 ) ) v ( Qt0 Qt2 Qt2 ) ) !( ( !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) ) v ( !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) ) ) !( ( !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) ) v ( !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) ) ) )

y2 = !(!( ( !( Qt0 v Qt0 ) !( Qt2 v Qt2 ) !( Qt2 v Qt2 ) ) v ( Qt0 Qt2 Qt2 ) ) !( ( !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) ) v ( !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) ) ) !( ( !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) ) v ( !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) ) ) )

J0 = !(!( ( !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) ) v ( Qt2 Qt2 Qt2 ) ) !( ( Qt0 Qt0 Qt0 ) v ( Qt0 Qt0 Qt0 ) ) !( ( Qt0 Qt0 Qt0 ) v ( Qt0 Qt0 Qt0 ) ) )

K0 = !(!( ( !( Qt0 v Qt0 ) !( Qt2 v Qt2 ) !( Qt2 v Qt2 ) ) v ( Qt0 Qt2 Qt2 ) ) !( ( !( Qt0 v Qt0 ) !( Qt0 v Qt0 ) !( Qt0 v Qt0 ) ) v ( Qt2 Qt2 Qt2 ) ) !( ( Qt1 Qt1 Qt1 ) v ( Qt1 Qt1 Qt1 ) ) )

J1 = !(!( ( !( Qt2 v Qt2 ) !( Qt2 v Qt2 ) !( Qt2 v Qt2 ) ) v ( Qt1 Qt1 Qt1 ) ) !( ( Qt0 Qt0 Qt0 ) v ( Qt0 Qt0 Qt0 ) ) !( ( Qt0 Qt0 Qt0 ) v ( Qt0 Qt0 Qt0 ) ) )

K1 = !(!( ( !( Qt0 v Qt0 ) !( Qt0 v Qt0 ) !( Qt0 v Qt0 ) ) v ( !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) ) ) !( ( !( Qt2 v Qt2 ) !( Qt2 v Qt2 ) !( Qt2 v Qt2 ) ) v ( !( Qt2 v Qt2 ) !( Qt2 v Qt2 ) !( Qt2 v Qt2 ) ) ) !( ( !( Qt2 v Qt2 ) !( Qt2 v Qt2 ) !( Qt2 v Qt2 ) ) v ( !( Qt2 v Qt2 ) !( Qt2 v Qt2 ) !( Qt2 v Qt2 ) ) ) )

J2 = !(!( ( !( Qt0 v Qt0 ) Qt1 Qt1 ) v ( Qt0 Qt2 Qt2 ) ) !( ( Qt0 !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) ) v ( Qt2 Qt2 Qt2 ) ) !( ( Qt0 !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) ) v ( Qt2 Qt2 Qt2 ) ) )

K2 = !(!( ( ( !( Qt0 v Qt0 ) Qt1 Qt2 ) x1 x1 ) v ( !( Qt0 v Qt0 ) !( Qt1 v Qt1 ) !( Qt1 v Qt1 ) ) ) !( ( Qt0 Qt1 Qt1 ) v ( !( Qt2 v Qt2 ) !( Qt2 v Qt2 ) !( Qt2 v Qt2 ) ) ) !( ( Qt0 Qt1 Qt1 ) v ( !( Qt2 v Qt2 ) !( Qt2 v Qt2 ) !( Qt2 v Qt2 ) ) ) )

library ieee; use ieee.std\_logic\_1164.all;

entity APCS\_Lab8 is

port(

Qt0 : in STD\_LOGIC;

Qt1 : in STD\_LOGIC;

Qt2 : in STD\_LOGIC;

x1 : in STD\_LOGIC;

y1 : out STD\_LOGIC;

y2 : out STD\_LOGIC;

J0 : out STD\_LOGIC;

K0 : out STD\_LOGIC;

J1 : out STD\_LOGIC;

K1 : out STD\_LOGIC;

J2 : out STD\_LOGIC;

K2 : out STD\_LOGIC

);

end APCS\_Lab8;

architecture FULL of APCS\_Lab8 is

component NOR2 is

port (

I0, I1 : in std\_logic;

O : out std\_logic

);

end component;

component AND3

port (

I0, I1, I2 : in std\_logic;

O : out std\_logic

);

end component;

signal A6, A7, A2, A3, A5, A0, A1, A4, A11, A12, A9, A10, A16, A17, A14, A15, A20, A19, A22, A23, A27, A28, A25, A26, A35, A36, A32, A33, A34, A31, A30 : STD\_LOGIC;

begin

Term0: AND3 port map( I0 => A6, I1 => A7, I2 => A7, O => y1);

Term1: NOR2 port map( I0 => A2, I1 => A3, O => A6);

Term2: NOR2 port map( I0 => A5, I1 => A5, O => A7);

Term3: AND3 port map( I0 => A0, I1 => A1, I2 => A1, O => A2);

Term4: AND3 port map( I0 => Qt0, I1 => Qt2, I2 => Qt2, O => A3);

Term5: AND3 port map( I0 => A4, I1 => A4, I2 => A4, O => A5);

Term6: NOR2 port map( I0 => Qt0, I1 => Qt0, O => A0);

Term7: NOR2 port map( I0 => Qt2, I1 => Qt2, O => A1);

Term8: NOR2 port map( I0 => Qt1, I1 => Qt1, O => A4);

Term9: AND3 port map( I0 => A6, I1 => A7, I2 => A7, O => y2);

Term10: AND3 port map( I0 => A11, I1 => A12, I2 => A12, O => J0);

Term11: NOR2 port map( I0 => A5, I1 => A9, O => A11);

Term12: NOR2 port map( I0 => A10, I1 => A10, O => A12);

Term13: AND3 port map( I0 => Qt2, I1 => Qt2, I2 => Qt2, O => A9);

Term14: AND3 port map( I0 => Qt0, I1 => Qt0, I2 => Qt0, O => A10);

Term15: AND3 port map( I0 => A6, I1 => A16, I2 => A17, O => K0);

Term16: NOR2 port map( I0 => A14, I1 => A9, O => A16);

Term17: NOR2 port map( I0 => A15, I1 => A15, O => A17);

Term18: AND3 port map( I0 => A0, I1 => A0, I2 => A0, O => A14);

Term19: AND3 port map( I0 => Qt1, I1 => Qt1, I2 => Qt1, O => A15);

Term20: AND3 port map( I0 => A20, I1 => A12, I2 => A12, O => J1);

Term21: NOR2 port map( I0 => A19, I1 => A15, O => A20);

Term22: AND3 port map( I0 => A1, I1 => A1, I2 => A1, O => A19);

Term23: AND3 port map( I0 => A22, I1 => A23, I2 => A23, O => K1);

Term24: NOR2 port map( I0 => A14, I1 => A5, O => A22);

Term25: NOR2 port map( I0 => A19, I1 => A19, O => A23);

Term26: AND3 port map( I0 => A27, I1 => A28, I2 => A28, O => J2);

Term27: NOR2 port map( I0 => A25, I1 => A3, O => A27);

Term28: NOR2 port map( I0 => A26, I1 => A9, O => A28);

Term29: AND3 port map( I0 => A0, I1 => Qt1, I2 => Qt1, O => A25);

Term30: AND3 port map( I0 => Qt0, I1 => A4, I2 => A4, O => A26);

Term31: AND3 port map( I0 => A35, I1 => A36, I2 => A36, O => K2);

Term32: NOR2 port map( I0 => A32, I1 => A33, O => A35);

Term33: NOR2 port map( I0 => A34, I1 => A19, O => A36);

Term34: AND3 port map( I0 => A31, I1 => x1, I2 => x1, O => A32);

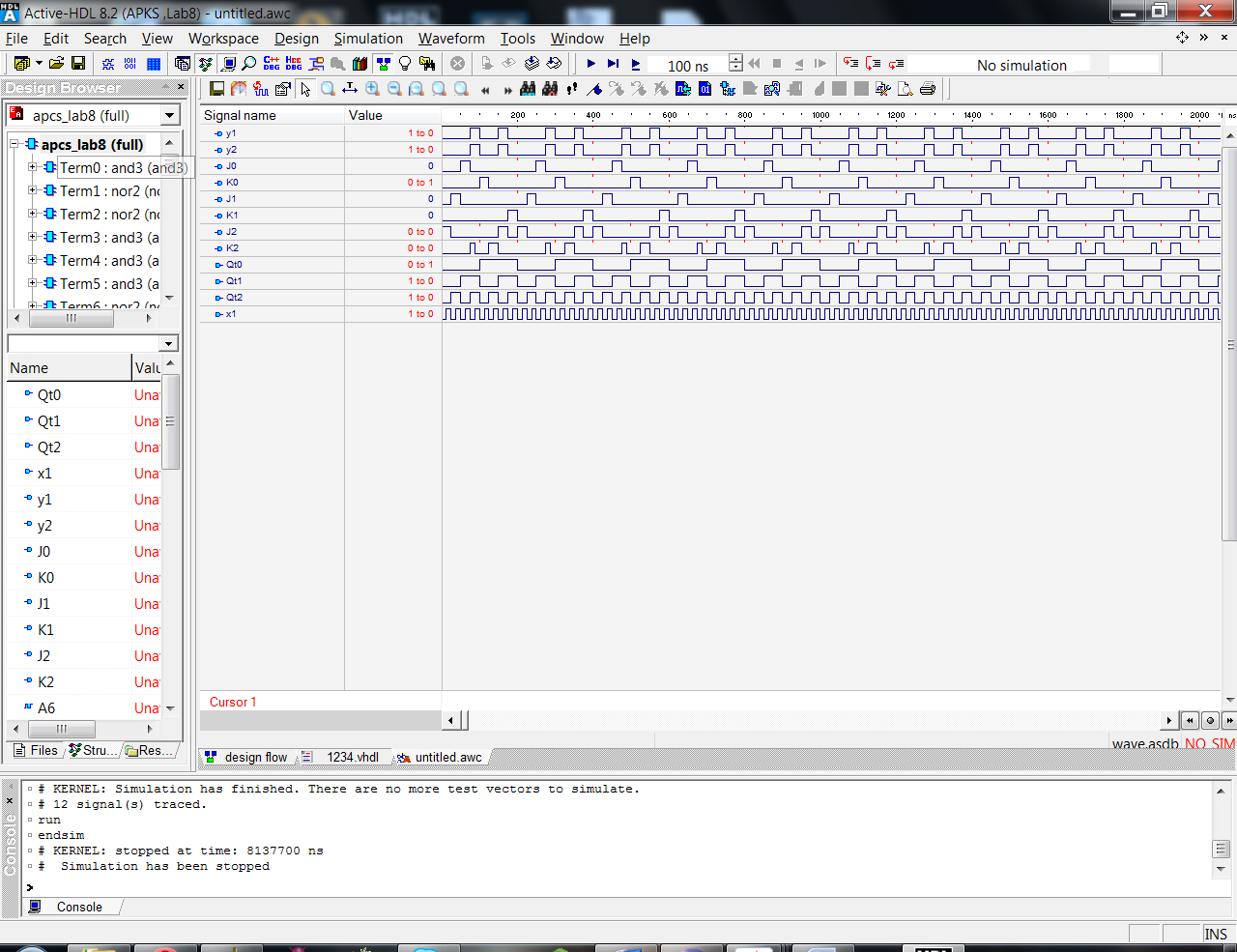
Term35: AND3 port map( I0 => A0, I1 => A4, I2 => A4, O => A33);

Term36: AND3 port map( I0 => Qt0, I1 => Qt1, I2 => Qt1, O => A34);

Term37: AND3 port map( I0 => A30, I1 => Qt1, I2 => Qt2, O => A31);

Term38: NOR2 port map( I0 => Qt0, I1 => Qt0, O => A30);

end FULL;

****

**ВЫВОД:**

В результате всего что было выполненно мы получили полностью употребимый и работающий программный продукт.